

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-145598
(43)Date of publication of application : 29.06.1987

(51)Int.Cl. G11C 17/00

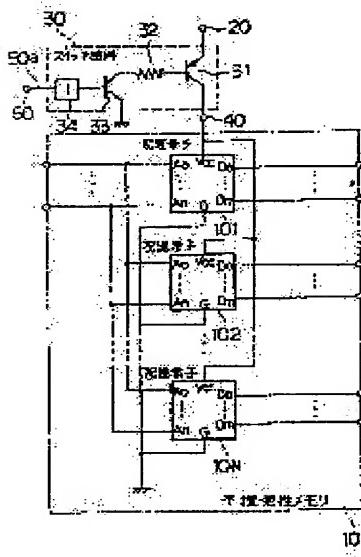
(21)Application number : 60-285469 (71)Applicant : NEC CORP
(22)Date of filing : 20.12.1985 (72)Inventor : AKAGI MIKIYA

(54) MEMORY DEVICE

(57) Abstract:

PURPOSE: To suppress a demand in a storage element by providing a switch which operates so as to cut off a power supply to a nonvolatile memory when a wait command signal is inputted.

CONSTITUTION: When a non-volatile memory 10 is not used, a wait command signal 50a becomes a high level '1', and is inputted from a controls terminal 50. A pre-circuit 34 suppresses a current supplied to the base of a transistor 33, thereby the transistor 33 being turned off. Thereby, the base current of a switching transistor 31 flowing between the collector and the emitter of the transistor 33 is cut off, and the switching transistor 31 becomes an off state, and in a switch circuit 30, the current scarcely flows through the switching transistor 31, and also through the transistor 33 for driving the switching transistor 31, and the demand can be reduced nearly to zero in a wait time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

昭62-145598

⑤ Int.Cl.⁴

G 11 C 17/00

識別記号

309

府内整理番号

6549-5B

⑬ 公開 昭和62年(1987)6月29日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 記憶装置

⑮ 特願 昭60-285469

⑯ 出願 昭60(1985)12月20日

⑰ 発明者 赤木 三樹也 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 山内 梅雄

明細書

1. 発明の名称

記憶装置

2. 特許請求の範囲

1. 不揮発性メモリと、この不揮発性メモリを駆動する電力を供給する電源入力端子と、この電源入力端子と前記不揮発性メモリとの間に挿入されたスイッチ回路と、このスイッチ回路の動作を制御する待機指令信号を受け入れる制御端子とかなり成り、前記スイッチ回路は、前記待機指令信号が入力したとき、前記不揮発性メモリへの電力の供給を遮断するよう動作するスイッチを有することを特徴とする記憶装置。

2. 前記スイッチは、P-N-Pスイッチングトランジスタから成り、そのオープンコレクタ出力を前記不揮発性メモリに接続したことを特徴とする特許請求の範囲第1項記載の記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、コンピュータ等の情報処理装置に使

用される不揮発性メモリを主体とした記憶装置に関する。

〔従来の技術〕

コンピュータ等の情報処理装置には、多量の記憶素子が使用されている。

装置の作動中、これらの記憶素子をすべて使用可能状態にしておくと、その消費電力は無視できないものとなる。特に、電池駆動の装置の場合に、これが大きな問題となる。

そこで、必要に応じて、一部あるいは全部の記憶素子を、消費電力の少ない待機状態とすることが行われている。

実際には、これは例えば、当面読み出しを行わない記憶素子の、読み出しイネーブル端子に入力する制御信号を、ハイレベル“1”からロウレベル“0”に落とすような方法で実施されている。

〔発明が解決しようとする問題点〕

いわゆるMOS型の記憶素子については、この方法が比較的有効であるが、この素子は、アクセスタイムが数百ナノ秒以上となっており、高速性

にやや難点がある。

反面、アクセスタイムが速い記憶素子ほど上記待機状態における消費電力の低減率が大きいものが得にくいという問題もある。

例えば、バイポーラ型の記憶素子は、アクセスタイムが短い高速の記憶素子として知られているが、待機状態で消費電力が低減できるものがほとんど無く、電池駆動の装置への採用が不利なものとなっている。また、この種の記憶素子は、平均の発熱量が多く、放熱のために装置が大型化しコストアップの原因ともなる難点があった。

本発明は以上の点に着目してなされたもので、待機状態で十分な消費電力低減効果が得られる記憶装置を提供することを目的とするものである。

〔問題点を解決するための手段〕

本発明の記憶装置は、不揮発性メモリと、この不揮発性メモリを駆動する電力を供給する電源入力端子と、この電源入力端子と上記不揮発性メモリとの間に挿入されたスイッチ回路と、このスイッチ回路の動作を制御する待機指令信号を受け入

れる制御端子とから成り、上記スイッチ回路は、上記待機指令信号が入力したとき、上記不揮発性メモリへの電力の供給を遮断するよう動作するスイッチを有することを特徴とするものである。

なお、上記スイッチはPNPスイッチングトランジスタから成り、そのオープンコレクタ出力を上記不揮発性メモリに接続することが好ましい。

〔作用〕

このように、本発明の記憶装置は記憶素子として不揮発性メモリを使用している。

そして、待機状態においては、不揮発性メモリに供給する電力を遮断してしまう。

このために、電源入力端子と不揮発性メモリの間にスイッチ回路が挿入されており、待機指令信号によってそのオンオフが制御される。

待機状態でのスイッチ回路の消費電力も重要なとなる。

このため、本発明においては、スイッチングトランジスタにPNPトランジスタを使用し、そのオープンコレクタ出力を不揮発性メモリに接続す

るようしている。

〔実施例〕

図は本発明の記憶装置の実施例を示す結線図である。

この回路は、複数の記憶素子 $101 \sim 10N$ を組み合わせた不揮発性メモリ 10 と、この不揮発性メモリ 10 に電力を供給する図示しない電源に接続される電源入力端子 20 と、この電源入力端子 20 と不揮発性メモリ 10 との間に挿入されたスイッチ回路 30 とから構成されている。

不揮発性メモリ 10 を構成する各記憶素子 $101 \sim 10N$ は、それぞれ、図示しないアドレスバスにアドレス入力端子 $A_0 \sim A_n$ を接続し、やはり図示しないデータバスにデータ出力端子 $D_0 \sim D_m$ を接続し、さらに接地側端子 G を接地し、電源側端子 V_{CC} をスイッチ回路 30 の出力端子 40 に接続している。

スイッチ回路 30 は、電源入力端子 20 と出力端子 40 との間に挿入され、不揮発性メモリ 10 への電力の供給のオンオフを行うスイッチングト

ランジスタ 31 と、このスイッチングトランジスタ 31 の駆動を行うための回路とから構成されている。

スイッチングトランジスタ 31 の駆動のためは、抵抗器 32 と、トランジスタ 33 と、前置回路 34 とが設けられ、この前置回路 34 には、制御端子 50 から不揮発性メモリ 10 の待機のための待機指令信号 $50a$ が入力するよう結線されている。

前置回路 34 は、待機指令信号 $50a$ がTTL信号のロウレベル“0”の信号であるときは出力側にトランジスタ 33 をオンさせるのに十分な電流を出力し、待機指令信号 $50a$ がハイレベル“1”であるときは、出力電流を抑止する回路で、反転アンプ等で構成される。これには例えばテキサスインスツルメント社製の集積回路 $75451B$ 等を使用することができる。

抵抗器 32 はスイッチングトランジスタ 31 のベース電流調整用に挿入されている。この抵抗値は、スイッチングトランジスタ 31 のエミッター

コレクタ間の電圧降下をできるだけ低くするような値に選定する。

スイッチングトランジスタ31には、PNPトランジスタを使用し、不揮発性メモリ10側にそのオープンコレクタ出力を接続するよう構成されている。

次に上記回路の動作を説明する。

まず、不揮発性メモリ10を使用している状態では、待機指令信号50aがロウレベル“0”となって制御端子50から入力する。これにより、前置回路34からトランジスタ33のベースに電流が流れ、トランジスタ33がスイッチオンの状態となる。

そして、電源入力端子20からスイッチングトランジスタ31のエミッターベース間と抵抗器32とを通じてトランジスタ33のコレクターエミッタ間に電流が流れます。

こうして、スイッチングトランジスタ31はオン状態となり、電源入力端子20から不揮発性メモリ10に電力が供給される。

するようにしても、これらが不揮発性であるからその記憶内容を失うおそれはない。

しかも、このようなスイッチ回路30はオンオフスピードが速く、待機状態から使用状態、あるいはその逆方向の切り換えを高速に行うことができる。

さらにオン状態での電圧降下が小さい利点も有している。

〔変形例〕

本発明の記憶装置は以上の実施例に限定されない。

スイッチ回路の前置回路34や駆動用トランジスタ33に相当する部分は、既知のオープンコレクタ出力を持つTTL素子等に置き換えてもさしつかえない。

〔発明の効果〕

以上説明した本発明の記憶装置は、待機状態で記憶素子の消費電力を抑制することができ、特に電池駆動方法を採用する装置について大きな効果を上げることができる。

次に、この不揮発性メモリ10の使用をしない場合、待機指令信号50aがハイレベル“1”となって制御端子50から入力する。

前置回路34は、トランジスタ33のベースへ供給する電流を抑止し、トランジスタ33はオフ状態となる。

これによって、トランジスタ33のコレクターエミッタ間を通じて流れていたスイッチングトランジスタ31のベース電流が遮断される。従ってスイッチングトランジスタ31がオフ状態となる。

この状態では、スイッチ回路30には、スイッチングトランジスタ31についても、その駆動用のトランジスタ33についても電流がほとんど流れず、待機時の消費電力をほぼ零にすることができます。

これは、PNPトランジスタをスイッチング用として使用し、そのオープンコレクタ出力を記憶素子側に接続し、かつ、そのベース入力を待機指令信号によって制御するようにしたためである。

なお、このように記憶素子への供給電力を遮断

4. 図面の簡単な説明

図は本発明の記憶装置の実施例を示す結線図である。

- 10 …… 不揮発性メモリ、
- 20 …… 電源入力端子、
- 30 …… スイッチ回路、
- 50 …… 制御端子。

出願人 日本電気株式会社
代理人 弁理士 山内梅雄

